

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-240681

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

G06F 13/36

G06F 13/16

(21)Application number : 09-045375

(71)Applicant : CANON INC

(22)Date of filing : 28.02.1997

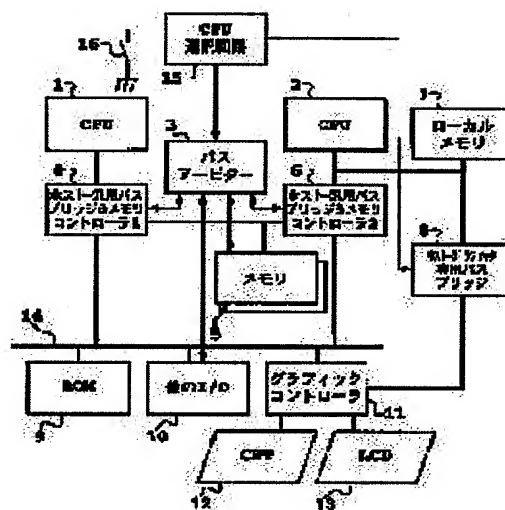
(72)Inventor : KAWASHIMA TOSHIHIKO
ICHIMURA HIROSHI

(54) INFORMATION PROCESSOR AND BUS CONNECTION METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the degree of freedom relating to the processing of plural CPUs.

SOLUTION: When the CPU 1 is connected to a general purpose bus 14, the access to the general purpose bus 14 of the CPU 2 is inhibited by a bus arbiter 3, a host/general purpose bus bridge and a memory controller 6. At the time, the CPU 2 is connected to a dedicated bus by a host graphic bridge 8 and the CPU 2 can access a graphic controller 11 even when the CPU 1 is during an operation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240681

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁵
G 0 6 F 13/36
13/16
識別記号
5 3 0
5 1 0

F I
G 0 6 F 13/36
13/16
5 3 0 B
5 1 0 D

審査請求 未請求 請求項の数16 OL (全 7 頁)

(21) 出願番号 特願平9-45375

(22) 出願日 平成9年(1997) 2月28日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 河島 敏彦

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 市村 啓

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

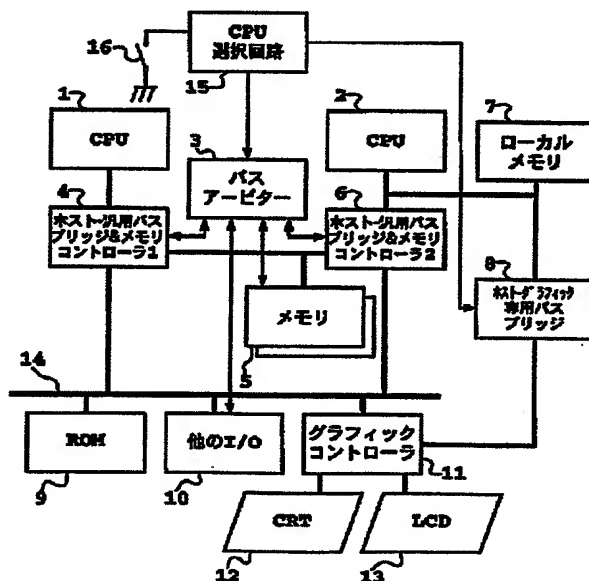
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 情報処理装置およびそのバス接続方法

(57) 【要約】

【課題】 複数のCPUの処理に関する自由度を上げる。

【解決手段】 CPU1が汎用バス14に接続されている時には、バスアービター3およびホスト汎用バスブリッジおよびメモリコントローラ6によりCPU2の汎用バス14へのアクセスを禁止する。このとき、ホストグラフィックブリッジ8によりCPU2を専用バスに接続し、CPU1が動作中でもCPU2がグラフィックコントローラ11にアクセス可能とする。



【特許請求の範囲】

【請求項1】 複数のCPUおよび1以上の回路が第1のバスに接続され、前記複数のCPUの中の特定のCPUが前記第1のバスに接続しているときには他のCPUの前記第1のバスへの接続が禁止される情報処理装置において、

前記第1のバスとは別個であって、回路を接続した第2のバスと、

前記特定のCPUが前記第1のバスに接続しているときには、前記他のCPUを前記第2のバスへ接続する第1の接続手段とを具えたことを特徴とする情報処理装置。

【請求項2】 請求項1に記載の情報処理装置において、前記複数のCPUの中から前記特定のCPUを選択する選択手段をさらに具えたことを特徴とする情報処理装置。

【請求項3】 請求項1に記載の情報処理装置において、前記第2のバスにはプログラムを格納する記憶手段が接続され、前記他のCPUは前記プログラムを読み出し、実行することを特徴とする情報処理装置。

【請求項4】 請求項3に記載の情報処理装置において、前記第1のバスと前記第2のバスを接続する第3の接続手段をさらに有し、前記特定のCPUは前記記憶手段に対して前記プログラムを書き込むことを特徴とする情報処理装置。

【請求項5】 請求項1に記載の情報処理装置において、前記特定のCPUは前記他のCPUをリセット可能であることを特徴とする情報処理装置。

【請求項6】 請求項1に記載の情報処理装置において、前記第2のバスに接続された回路へ接続するための第3のバスと、該第3のバスへ前記特定のCPUを接続する第2の接続手段とをさらに具えたことを特徴とする情報処理装置。

【請求項7】 請求項6に記載の情報処理装置において、前記第2のバスに接続された回路については前記他のCPUにより一元的に制御することを特徴とする情報処理装置。

【請求項8】 請求項1に記載の情報処理装置において、前記複数のCPUのそれぞれが読み出し実行するプログラムを記憶した複数の記憶手段を前記第1のバスに接続することを特徴とする情報処理装置。

【請求項9】 複数のCPUおよび1以上の回路が第1のバスに接続され、前記複数のCPUの中の特定のCPUが前記第1のバスに接続しているときには他のCPUの前記第1のバスへの接続が禁止される情報処理装置のバス接続方法において、前記第1のバスとは別個であって、回路を接続した第2のバスを設け、前記特定のCPUが前記第1のバスに接続しているときには、前記他のCPUを前記第2のバスへ接続することを特徴とする情報処理装置のバス接続方法。

【請求項10】 請求項9に記載の情報処理装置のバス接続方法において、前記複数のCPUの中から前記特定のCPUを選択することを特徴とする情報処理装置のバス接続方法。

【請求項11】 請求項9に記載の情報処理装置のバス接続方法において、前記第2のバスにはプログラムを格納する記憶手段が接続され、前記他のCPUは前記プログラムを読み出し、実行することを特徴とする情報処理装置のバス接続方法。

【請求項12】 請求項11に記載の情報処理装置のバス接続方法において、前記第1のバスと前記第2のバスを接続回路により接続可能となし、前記特定のCPUは前記記憶手段に対して前記プログラムを書き込むことを特徴とする情報処理装置のバス接続方法。

【請求項13】 請求項11に記載の情報処理装置のバス接続方法において、前記特定のCPUは前記他のCPUをリセット可能であることを特徴とする情報処理装置のバス接続方法。

【請求項14】 請求項9に記載の情報処理装置のバス接続方法において、前記第2のバスに接続された回路へ接続するための第3のバスをさらに設け、該第3のバスへ前記特定のCPUを接続回路により接続可能とすることを特徴とする情報処理装置のバス接続方法。

【請求項15】 請求項14に記載の情報処理装置のバス接続方法において、前記第2のバスに接続された回路については前記他のCPUにより一元的に制御することを特徴とする情報処理装置のバス接続方法。

【請求項16】 請求項9に記載の情報処理装置のバス接続方法において、前記複数のCPUのそれぞれが読み出し実行するプログラムを記憶した複数の記憶手段を前記第1のバスに接続することを特徴とする情報処理装置のバス接続方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数のCPUを有する情報処理装置およびそのバス接続方法に関する。

【0002】

【従来の技術】 図5、図6および図7は、従来の複数のCPUを有する情報処理装置の例としての汎用コンピュータのシステム構成を示す。図5は、いわゆるSymmetrical Multi-Processor システムの構成例である。

【0003】 図5において、1、2はCPU、3はバスアービター(Bus Arbiter)、4、6はホスト(Host)汎用バスブリッジ(Bridge)兼メモリコントローラ(Memory Controller)である。5はメモリ、9はブートコードやBIOSを格納するROM、14はPCIなどの汎用バスである。20はインタフェース(I/O)である。CPU1、CPU2は対称的にPCI等の汎用バス14に接続されている。

【0004】 図6の例は、CPU1、CPU2のアーキ

テクチャが互いに異なる場合に多く用いられる従来例である。図6において、21は、複数のCPUのうち、どちらをアクティブにするかを選択し、アクティブなCPUを汎用バス等システムに接続するための切替手段である。

【0005】このような従来例では、ユーザが、複数のCPUの中から1つのCPUを選択すると、選択されなかったCPUは、動作を停止する。なお、図6の例は、もっとも一般的な、CPU2がPCIの汎用バスに接続されるドーターカードとしてサポートされている例を示しており、CPU1が選択されている時は、汎用バスに接続されているROMに内蔵されたコードによりブートし、CPU2が選択されている時は、CPUのローカルバスに接続されたROMによりブートする例となっている。

【0006】さらに、複数のCPUを有するコンピュータとしては、図7のような例が挙げられる。図7は、主CPU(CPU1)に加え、特定のI/Oのコントローラとして、副CPU(CPU2)を有するシステムの構成例である。上記の副CPUが果たす機構としては、プリンタなどの制御だけでなく、例えば、該I/Oがグラフィックコントローラである場合に、その表示性能を向上させるアクセラレータである場合も、ここでいう従来例に含まれる。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来例においては、それぞれ、以下のような課題があった。

【0008】(1)図5の例において、複数CPUの性能を、共に最大限活用するためには、そのシステムの上で稼働するOSが、マルチプロセッサ(Multi-Proceccor)に対応したものであると同時に、アプリケーション(Application)もマルチスレッド(Multi-thread)対応など、然るべきプログラム構造を有している必要があった。

【0009】(2)また、図6の従来例においては、図5の例のようなソフトウェア的配慮は、必要ないものの、複数のCPUの性能を同時に享受することは、不可能であった。

【0010】(3)さらに、図7のような従来例においては、副CPUを特定のI/O制御用以外に使用することができず、特に副CPUのアーキテクチャが、主CPUとは異なる場合に、ユーザが希望するアプリケーション・プログラムを実行のために、副CPUの能力や命令コードを利用することはできなかった。

【0011】そこで、本発明の目的は、複数のCPUの動作の制限を緩和し、動作の自由度を増した情報処理装置およびそのバス接続方法を提供することにある。

【0012】

【課題を解決するための手段】このような目的を達成す

るために、請求項1の発明は、複数のCPUおよび1以上の回路が第1のバスに接続され、前記複数のCPUの中の特定のCPUが前記第1のバスに接続しているときには他のCPUの前記第1のバスへの接続が禁止される情報処理装置において、前記第1のバスとは別個であって、回路を接続した第2のバスと、前記特定のCPUが前記第1のバスに接続しているときには、前記他のCPUを前記第2のバスへ接続する第1の接続手段とを具えたことを特徴とする。

10 【0013】請求項2の発明は、請求項1に記載の情報処理装置において、前記複数のCPUの中から前記特定のCPUを選択する選択手段をさらに具えたことを特徴とする。

【0014】請求項3の発明は、請求項1に記載の情報処理装置において、前記第2のバスにはプログラムを格納する記憶手段が接続され、前記他のCPUは前記プログラムを読み出し、実行することを特徴とする。

20 【0015】請求項4の発明は、請求項3に記載の情報処理装置において、前記第1のバスと前記第2のバスを接続する第3の接続手段をさらに有し、前記特定のCPUは前記記憶手段に対して前記プログラムを書き込むことを特徴とする。

【0016】請求項5の発明は、請求項1に記載の情報処理装置において、前記特定のCPUは前記他のCPUをリセット可能であることを特徴とする。

【0017】請求項6の発明は、請求項1に記載の情報処理装置において、前記第2のバスに接続された回路へ接続するための第3のバスと、該第3のバスへ前記特定のCPUを接続する第2の接続手段とをさらに具えたことを特徴とする。

30 【0018】請求項7の発明は、請求項6に記載の情報処理装置において、前記第2のバスに接続された回路については前記他のCPUにより一元的に制御することを特徴とする。

【0019】請求項8の発明は、請求項1に記載の情報処理装置において、前記複数のCPUのそれぞれが読み出し実行するプログラムを記憶した複数の記憶手段を前記第1のバスに接続することを特徴とする。

40 【0020】請求項9の発明は、複数のCPUおよび1以上の回路が第1のバスに接続され、前記複数のCPUの中の特定のCPUが前記第1のバスに接続しているときには他のCPUの前記第1のバスへの接続が禁止される情報処理装置のバス接続方法において、前記第1のバスとは別個であって、回路を接続した第2のバスを設け、前記特定のCPUが前記第1のバスに接続しているときには、前記他のCPUを前記第2のバスへ接続することを特徴とする。

【0021】請求項10の発明は、請求項9に記載の情報処理装置のバス接続方法において、前記複数のCPUの中から前記特定のCPUを選択することを特徴とす

る。

【0022】請求項11の発明は、請求項9に記載の情報処理装置のバス接続方法において、前記第2のバスにはプログラムを格納する記憶手段が接続され、前記他のCPUは前記プログラムを読み出し、実行することを特徴とする。

【0023】請求項12の発明は、請求項11に記載の情報処理装置のバス接続方法において、前記第1のバスと前記第2のバスを接続回路により接続可能となし、前記特定のCPUは前記記憶手段に対して前記プログラムを書き込むことを特徴とする。

【0024】請求項13の発明は、請求項11に記載の情報処理装置のバス接続方法において、前記特定のCPUは前記他のCPUをリセット可能であることを特徴とする。

【0025】請求項14の発明は、請求項9に記載の情報処理装置のバス接続方法において、前記第2のバスに接続された回路へ接続するための第3のバスをさらに設け、該第3のバスへ前記特定のCPUを接続回路により接続可能とすることを特徴とする。

【0026】請求項15の発明は、請求項14に記載の情報処理装置のバス接続方法において、前記第2のバスに接続された回路については前記他のCPUにより一元的に制御することを特徴とする。

【0027】請求項16の発明は、請求項9に記載の情報処理装置のバス接続方法において、前記複数のCPUのそれぞれが読み出し実行するプログラムを記憶した複数の記憶手段を前記第1のバスに接続することを特徴とする。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を詳細に説明する。

【0029】（第1の実施形態）図1において、図5～図7の従来例と同様の箇所には同一の符号を付している。1、2はCPUであり、そのアーキテクチャは、相互に異なっても同一でもよい。3はバスアービター、4、6は各CPU1、2のローカルバスをPCIなどの汎用バス14に接続するとともにメモリのアクセス制御を行うホスト汎用バスブリッジ兼メモリコントローラである。5はメモリ、7はCPU2のローカルバスに接続され、同CPUの主記憶として作用するローカルメモリである。8はCPU2のローカルバスと本システムのI/Oの1つであるグラフィックコントローラ11の専用バス（ZV（Zoom Video）Port/VAF C（VESA Advanced Feature Connectorなど）を結合するホストグラフィック専用バスブリッジ、9はブートコードやBIOSを格納するROMである。10は、本コンピュータシステムのその他のI/O、11はグラフィックコントローラ、12はCRTである。13はLCD（液晶表示）、14はPCIなどの汎用バスである。15はCP

U1、CPU2のうちのどちらを主CPUとして選択するかを決定するCPU選択回路、16はユーザがどのCPUを主CPUとして選択するかを設定するスイッチである。

【0030】同実施例において、CPU1が、たとえばIntel（登録商標）アーキテクチャのCPU、CPU2がPowerPC（登録商標）といったように、相互に異なるアーキテクチャである場合が最も典型的に本発明の効果を説明できる。

10 【0031】すなわち、マルチプロセッサに対応していないOS（オペレーティングシステム）およびアプリケーションを動作させたいユーザが、スイッチ16を操作することにより、どちらのCPUを用いてOSおよびアプリケーションを動作させるかを設定する。例えばCPU1が選択された場合には、CPU選択回路15が、バスアービター3およびホストグラフィック専用バスブリッジ8に作用し、アービター3により、CPU2側からメモリ5および汎用バス14にアクセスするのを禁止するとともに、ホストグラフィック専用バスブリッジ8により、CPU2がグラフィックコントローラ11の制御・処理を可能のように信号経路を設定する。

20 【0032】この場合、CPU2の動作プログラムは、ローカルメモリ7中のROMにあらかじめ焼き付けておく例、または、以下の手順による例が考えられる。

【0033】（1）CPU1がホスト汎用バスブリッジ6を介して、ローカルメモリ（RAM7にCPU2の動作プログラムを書き込む。

30 【0034】（2）CPU2のリセットを解除する（これは、CPU1により制御されるI/Oポート等による）。

【0035】本実施例は、CPU2は、CPU1によるグラフィックコントローラ11の表示制御と平行して、例えば、MPEGデータのデコードすなわち動画表示の高速処理などを司どらせる場合に有効である。

【0036】（第2の実施形態）図2は、本発明の第2の実施形態のシステム構成を示す。第1の実施形態においては、CPU2側のみ、ホストグラフィック専用バスブリッジ8が存在したが、第2の実施形態ではCPU1側にもホストグラフィック専用バスブリッジを設けている。その他は第1の実施形態と同様のシステム構成である。なお、本発明は、これに限定されることなく、システムが有する全てのCPU毎に同様のブリッジを設けることにより本発明を適用できる。

50 【0037】（第3の実施形態）図3は、本発明の第3の実施形態のシステム構成を示す。図3において、17はA/D（アナログ/デジタル）コンバータ、18はD/Aコンバータである。19は電話回線接続装置（NCU）である。上述の実施形態においては、副CPUのI/Oへのアクセス経路とは別個に、主CPUからのI/Oへのアクセス経路が存在したが、この形態では、本実

施の形態のように、I/O (A/Dコンバータ17、D/Aコンバータ18)の制御が、副CPUに一元的に任せることができる。

【0038】また、本実施の形態は、NCU19を介して受信した情報をA/Dコンバータ17によりアナログ/デジタル変換して副CPUに入力し、副CPUからのデジタル形態の情報をD/Aコンバータ18によりアナログに変換してNCU19に送出できる。これにより従来ハードウェアによりサポートされていたモデムの機能を副CPUの処理能力を活用して、ソフトウェア的に実現することができる。

【0039】(第4の実施形態)図4は本発明の第4の実施形態のシステム構成を示す図である。第1～第3の実施形態においては、副CPUがその処理中に主記憶として用いるローカルメモリ7が、副CPUのローカルバスに接続される構成となっていたが、第4の実施形態ではローカルメモリ7が複数のメモリ5の共有メモリバスと同一のバスに接続されている例である。

【0040】このシステム構成では、メモリ5のコンフィギュレーションをより柔軟に設定することができるだけでなく、メモリの実装面積およびコストの低減も図ることができる。

【0041】

【発明の効果】以上、説明したように、請求項1、9の発明によれば、特定のCPUが動作しているときでも他のCPUは第2のバスを介して、回路にアクセスでき、従来のように動作を停止する必要はなくなり、CPUの動作の自由度が向上する。

【0042】これによりOSやアプリケーションをマルチプロセッサ対応とする必要がない。

【0043】請求項2、10の発明によれば、第1のバスにアクセスするCPUを特定化せず、任意のCPUを選択できるので、複数のCPUの1つが故障しても他のCPUがそのCPUの一部の処理をカバーできる。

【0044】請求項3、11の発明によれば、第2のバスに接続された記憶手段に各種のプログラムを記憶して他のCPUがこのプログラムを読み出し実行することで、ハード構成を増やすことなく、多種の情報処理を実行することができる。

【0045】請求項4、12の発明によれば、他のCPUが実行するプログラムを特定のCPUが書き込むことにより特定のCPUと他のCPUとは互いに独立に動作しながらも、特定のCPUが主CPUとして他のCPUを制御できる。

【0046】請求項5、13の発明によれば、特定のCPUが他のCPUをリセットすることにより、特定のCPUが他のCPUを起動させたり、暴走を正常復帰させることができる。

【0047】請求項6、14の発明によれば、必要に応

じて、たとえば、これまでに他のCPUであったCPUが特定のCPUに切り換わった時にも、これまで、特定のCPUであったCPUが他のCPUとして動作することができる。また、特定のCPUと他のCPUとが共同して1つの情報処理を実行することもできる。

【0048】請求項7、15の発明によれば、たとえば、第2のバスにデジタル・アナログ相互変換器を接続することにより、従来ではモデムというハードで行っていた通信関連の信号処理を他のCPUがソフトウェアで実行することにより実現できる。

【0049】請求項8、16の発明によれば、実行用のプログラムを格納した記憶手段を第1のバスに接続することにより、記憶手段のプログラムを読み取ることができるCPUは特定のCPUだけとなる。また、第1のバスに接続する特定のCPUを切り換えることで、どのCPUも記憶手段に記憶されたプログラムを読み取ることができる。さらに、記憶手段の接続構成については従来の回路構成を使用することができるという利点がある。

【図面の簡単な説明】

【図1】本発明第1の実施形態のシステム構成を示すブロック図である。

【図2】本発明第2の実施形態のシステム構成を示すブロック図である。

【図3】本発明第3の実施形態のシステム構成を示すブロック図である。

【図4】本発明第4の実施形態のシステム構成を示すブロック図である。

【図5】従来のシステム構成例を示すブロック図である。

【図6】従来のシステム構成例を示すブロック図である。

【図7】従来のシステム構成例を示すブロック図である。

【符号の説明】

1, 2 CPU

3 バスアービター

4, 6 ホスト-汎用バスブリッジおよびメモリコントローラ

5 メモリ

7 汎用バス

8 ホスト-グラフィック専用バスブリッジ

9 ROM

10 I/O

11 グラフィックコントローラ

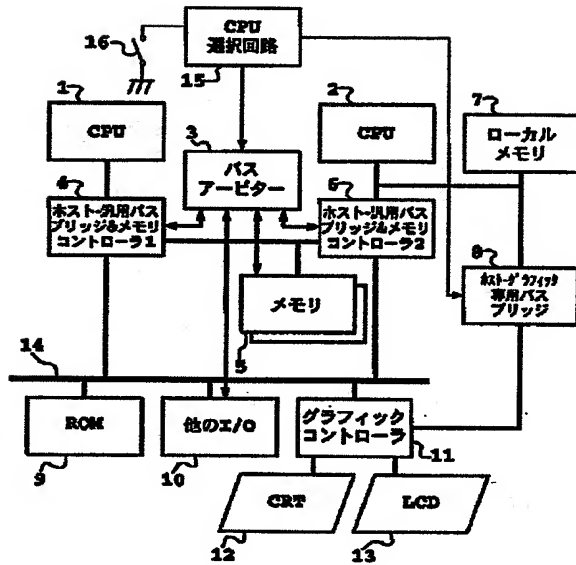
12 CRT

13 LCD

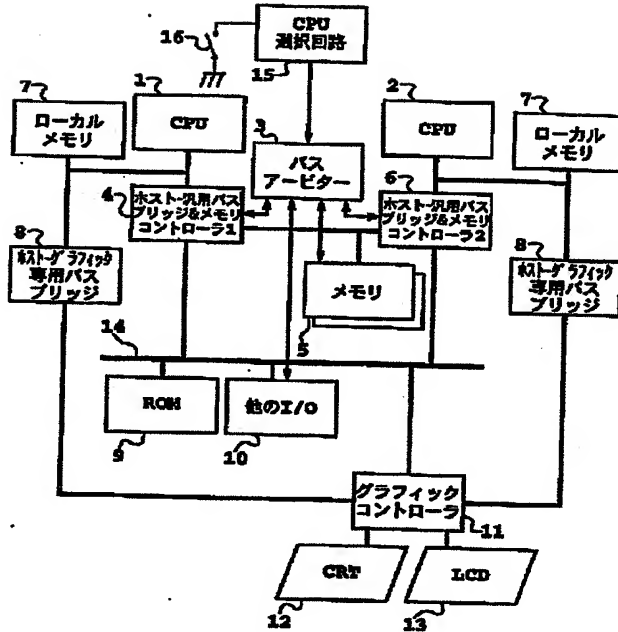
15 (CPU) 選択回路

16 スイッチ

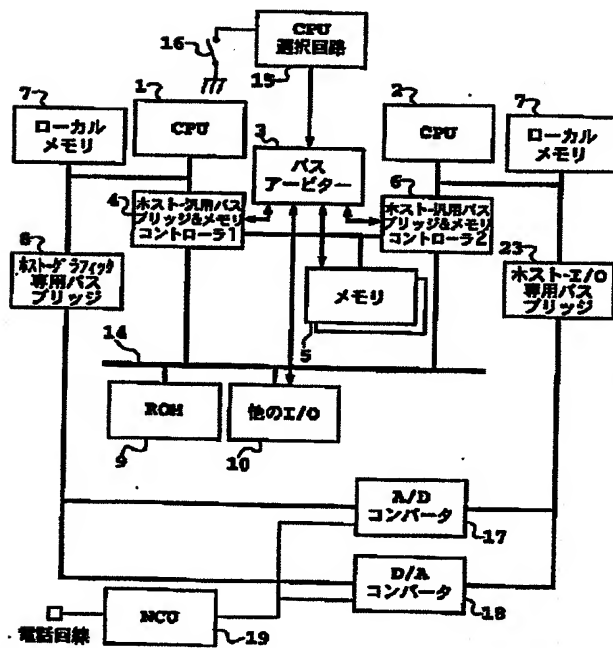
【図1】



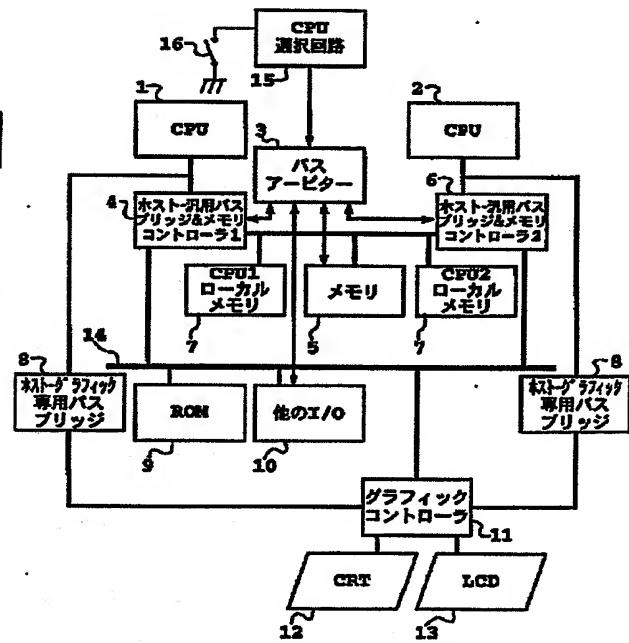
【図2】



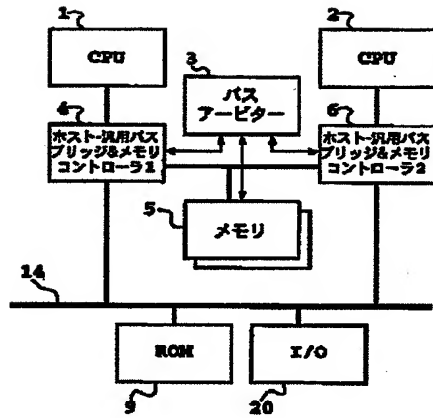
【図3】



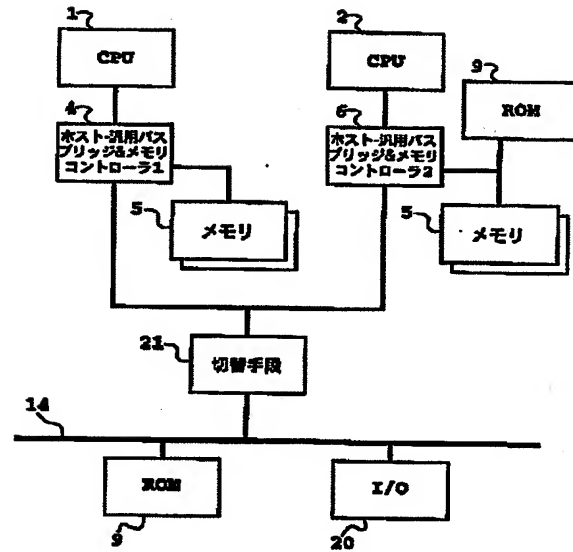
【図4】



【図5】



【図6】



【図7】

